



(12)发明专利申请

(10)申请公布号 CN 111417997 A

(43)申请公布日 2020.07.14

(21)申请号 201880077499.2

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2018.12.11

代理人 宋俊寅

(30)优先权数据

2017-247227 2017.12.25 JP

2018-029746 2018.02.22 JP

(51)Int.Cl.

G09G 3/32(2016.01)

G09G 3/20(2006.01)

G09G 3/30(2006.01)

H01L 33/00(2010.01)

H01L 33/32(2010.01)

(85)PCT国际申请进入国家阶段日

2020.05.29

(86)PCT国际申请的申请数据

PCT/IB2018/059848 2018.12.11

(87)PCT国际申请的公布数据

W02019/130138 JA 2019.07.04

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 高桥圭 楠纮慈 渡边一德

川岛进 丰高耕平 山崎舜平

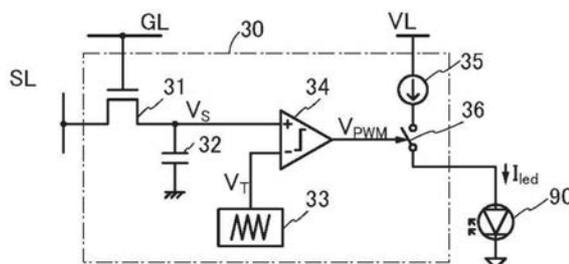
权利要求书1页 说明书21页 附图14页

(54)发明名称

显示器及包括该显示器的电子设备

(57)摘要

本发明提供一种显示器。本发明提供一种微型发光二极管的相对于电流密度的色度变化小的显示器。本发明提供一种在静态图像的显示中可以降低驱动电路的功耗的显示器。本发明的一个方式是一种显示器,该显示器包括多个像素,多个像素各自包括显示元件及微控制器,微控制器包括第一晶体管、三角波生成电路、比较器、开关以及恒流电路,第一晶体管在关闭状态时具有保持对应于写入到像素的数据的电位的的功能,三角波生成电路具有生成三角波的信号的功能,比较器具有生成对应于电位、三角波的信号的输出信号的功能,开关具有根据输出信号控制是否使流过恒流电路的电流流过显示元件的功能。



1. 一种显示器,包括:
多个像素,
其中,所述像素包括显示元件及微控制器,
所述显示元件包括微型发光二极管,
所述微控制器包括第一晶体管、三角波生成电路、比较器、开关、恒流电路,
所述第一晶体管在关闭状态时具有保持对应于写入到所述像素的数据的电位的功能,
所述三角波生成电路具有生成三角波的信号的功能,
所述比较器具有生成对应于所述电位、所述三角波的信号的输出信号的功能,
并且,所述开关具有根据所述输出信号控制是否使流过所述恒流电路的电流流过所述显示元件的功能。
2. 一种显示器,包括:
多个像素及三角波生成电路,
其中,所述像素包括显示元件及微控制器,
所述三角波生成电路具有生成三角波的信号的功能以及将所述三角波的信号输出到所述像素的功能,
所述显示元件包括微型发光二极管,
所述微控制器包括第一晶体管、比较器、开关及恒流电路,
所述第一晶体管在关闭状态时具有保持对应于写入到所述像素的数据的电位的功能,
所述比较器具有生成对应于所述电位、所述三角波的信号的输出信号的功能,
并且,所述开关具有根据所述输出信号控制是否使流过所述恒流电路的电流流过所述显示元件的功能。
3. 根据权利要求1或2所述的显示器,
其中所述第一晶体管包括具有沟道形成区域的第一半导体层,
并且所述第一半导体层包含氧化物半导体。
4. 根据权利要求1至3中任一项所述的显示器,
其中所述比较器及所述开关包括第二晶体管,
所述第二晶体管包括具有沟道形成区域的第二半导体层,
并且所述第二半导体层包含硅。
5. 根据权利要求1至4中任一项所述的显示器,
其中所述恒流电路包括第三晶体管及第四晶体管,
所述第三晶体管包括具有沟道形成区域的第三半导体层,
所述第三半导体层包含氧化物半导体,
所述第四晶体管包括具有沟道形成区域的第四半导体层,
并且所述第四半导体层包含硅。
6. 根据权利要求1至5中任一项所述的显示器,
所述微型发光二极管为包括含有镓氮化物及铟-氮化镓化合物的活性层及包覆层的元件。
7. 一种包括权利要求1至6中任一项所述的显示器的电子设备。

显示器及包括该显示器的电子设备

技术领域

[0001] 本发明的一个方式涉及一种显示器及包括该显示器的电子设备。

背景技术

[0002] 近年来,已提出了包括微型发光二极管(以下,Micro LED(LED:Light Emitting Diode))的显示器及照明装置(例如,专利文献1)。包括Micro LED的显示器可以实现高亮度化,因此有实现可以看到的墙壁上或桌子上的投影、室外的可见度的提高等优点,因此,作为新一代显示器,对其的研究开发非常活跃。

[0003] Micro LED的亮度与电流密度成比例地变化。Micro LED的色度相对于电流密度而稍微变化。专利文献2公开了对Micro LED进行脉宽调制(PWM:Pulse Width Modulation)控制的结构。通过进行PWM控制来驱动,可以获得良好的色度以及所希望的亮度。

[先行技术文献]

[专利文献]

[0004] [专利文献1]美国专利申请公开第2014/0367705号说明书

[专利文献2]美国专利申请公开第2010/0102752号说明书

[0005] 为了以良好的色度进行显示,通过PWM控制对Micro LED的亮度进行控制的结构是有效的。但是,即便是在进行静态图像的显示时也需要使驱动电路一直工作。

发明内容

发明所要解决的技术问题

[0006] 本发明的一个方式的目的之一是提供一种新颖的显示器及包括该显示器的电子设备。另外,本发明的一个方式的目的之一是提供一种显示器,在该显示器中,即使在静态图像的显示中停止驱动电路的工作以降低功耗,微型发光二极管的相对于电流密度的色度变化也较小。

[0007] 注意,本发明的一个方式并不需要实现所有上述目的,只要可以实现至少一个目的即可。另外,上述目的的记载不妨碍其他目的的存在。可以从说明书、权利要求书、附图等的记载显而易见地看出并抽出上述以外的目的。

解决技术问题的手段

[0008] 本发明的一个方式是一种显示器,该显示器包括多个像素。像素包括显示元件及微控制器。显示元件包括微型发光二极管。微控制器包括第一晶体管、三角波生成电路、比较器、开关及恒流电路。第一晶体管在关闭状态时具有保持对应于写入到像素的数据的电位的功能。三角波生成电路具有生成三角波的信号的功能。比较器具有生成对应于电位、三角波的信号的输出信号的功能。开关具有根据输出信号控制是否使流过恒流电路的电流流过显示元件的功能。

[0009] 本发明的一个方式是一种显示器,该显示器包括多个像素及三角波生成电路。像素包括显示元件及微控制器。三角波生成电路具有生成三角波的信号的功能以及将三角波

的信号输出到像素的功能。显示元件包括微型发光二极管。微控制器包括第一晶体管、比较器、开关及恒流电路。第一晶体管在关闭状态时具有保持对应于写入到像素的数据的电位的功能。比较器具有生成对应于电位、三角波的信号的输出信号的功能。开关具有根据输出信号控制是否使流过恒流电路的电流流过显示元件的功能。

[0010] 在本发明的一个方式的显示器中,优选的是,第一晶体管包括具有沟道形成区域的第一半导体层,第一半导体层包含氧化物半导体。

[0011] 在本发明的一个方式的显示器中,优选的是,比较器及开关包括第二晶体管,第二晶体管包括具有沟道形成区域的第二半导体层,第二半导体层包含硅。

[0012] 在本发明的一个方式的显示器中,优选的是,恒流电路包括第三晶体管及第四晶体管,第三晶体管包括具有沟道形成区域的第三半导体层,第三半导体层包含氧化物半导体,第四晶体管包括具有沟道形成区域的第四半导体层,第四半导体层包含硅。

[0013] 在本发明的一个方式的显示器中,微型发光二极管优选为包括含有镓氮化物及铟-氮化镓化合物的活性层及包覆层的元件。

[0014] 本发明的一个方式是一种包括上述显示器的电子设备。

[0015] 另外,本发明的其他方式记载于下面所述的实施方式中的说明及附图中。

发明效果

[0016] 根据本发明的一个方式可以提供一种新颖的显示器及包括该显示器的电子设备。另外,根据本发明的一个方式可以提供一种显示器,在该显示器中,即使在静态图像的显示中停止驱动电路的工作以降低功耗,微型发光二极管的相对于电流密度的色度变化也较小。

[0017] 注意,这些效果的记载不妨碍其他效果的存在。此外,本发明的一个方式并不需要具有所有上述效果。可以从说明书、权利要求书、附图等的记载显而易见地看出并抽出上述以外的效果。

附图简要说明

[0018] [图1]说明显示器的结构例子的方框图及电路图。

[图2]说明显示器的结构例子的波形图。

[图3]说明显示器的结构例子的方框图及电路图。

[图4]说明显示器的结构例子的电路图。

[图5]说明显示器的结构例子的电路图。

[图6]说明显示器的结构例子的电路图。

[图7]说明显示器的结构例子的电路图。

[图8]说明显示器的结构例子的电路图。

[图9]说明半导体装置的截面结构的图。

[图10]说明显示器的安装例子的图。

[图11]示出DOSRAM的结构例子的截面图。

[图12]说明显示器的应用例子的图。

[图13]说明显示器的应用例子的图。

实施发明的方式

[0019] 下面,参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很

容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0020] 另外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,这不是为了限定构成要素的数量而附加上的。此外,这不是为了限定构成要素的顺序而附加上的。例如,在本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他实施方式或权利要求书中附有“第二”。此外,例如,在本说明书等的实施方式之一中附有“第一”的构成要素也有可能在其他实施方式或权利要求书中被省略。

[0021] 在附图中,有时对同一构成要素、具有相同功能的构成要素、同一材料的构成要素或者同时形成的构成要素等赋予同一附图标记,并且有时省略重复说明。

[0022] (实施方式1)

在本实施方式中,说明根据本发明的一个方式的显示器的结构例子。

[0023] 图1A是本发明的一个方式的显示器的方框图。图1A所示的显示器10包括栅极驱动器13、源极驱动器14、电源电路15及显示部11。显示部11包括多个像素20。

[0024] 栅极驱动器13具有将用来驱动像素20的信号,例如扫描信号输出到布线GL的功能。源极驱动器14具有将用来驱动像素20的信号,例如像素数据(也称为图像数据、视频数据)输出到布线SL的功能。电源电路15具有将用来驱动像素20的电源电压,例如电压VDD供应到布线VL的功能。

[0025] 图1B是用来说明图1A所示的像素20的结构的图。像素20包括微控制器30及显示元件90。

[0026] 微控制器30与布线SL、布线GL及布线VL连接。布线SL是具有将图像数据传送给像素20的功能的布线。布线GL是具有传送用来将像素数据写入到或保持在像素的扫描信号的功能的布线。布线VL是具有将电源电压VDD传送给像素20的功能的布线。

[0027] 显示元件90是Micro LED。Micro LED例如是一个边长是10 μ m至100 μ m左右的发光二极管。显示元件90所包括的发光二极管可以使用无机材料,例如可以使用镓氮化物及镧-氮化镓化合物。通过采用该结构,可以实现比使用有机材料的显示元件长的寿命。显示元件90所包括的发光二极管是自发光元件并实现良好的黑色显示,因此可以实现对比度高的显示器。此外,显示元件90可以发射红色、绿色、蓝色等不同波长的光,因此可以以较低的功耗进行不需要滤色片或偏振片的彩色显示。

[0028] 显示元件90可以高速地响应输出电流,因此可以采用在像素中设置恒流电路进行占空驱动的时间灰度方式。因此,可以进行脉宽调制控制来驱动显示元件90,可以实现良好的色度以及所希望的亮度。

[0029] 显示元件90的发光效率比使用有机材料的显示元件高,因此可以实现屋外的可见度良好的显示器。此外,显示元件90可以具有极高的亮度,因此可用于照明设备。

[0030] 微控制器30具有使显示元件90进行根据对应于被输入的像素数据的PWM控制的灰度显示的功能。微控制器30具有保持像素数据的功能。在微控制器30具有保持像素数据的功能时,可以在微控制器30保持像素数据的期间中,间歇地停止具有输出像素数据的功能的电路的功能,例如源极驱动器14的功能。

[0031] 微控制器30包括用来根据像素数据生成占空比不同的信号的电路。微控制器30包

括开关及恒流电路。微控制器30具有根据在内部生成的信号控制开关的开启或关闭的功能。微控制器30具有间歇地使开关开启来使在恒流电路中生成的电流(I_{led})流过显示元件90的功能。通过采用该结构,可以按每个发光元件LED进行不同的PWM控制,因此可以得到良好的色度以及所希望的亮度。

[0032] 通过采用本发明的一个方式的结构,在静态图像的显示等不需要像素数据的反复写入的期间中,可以停止源极驱动器14的工作来实现功耗的降低,同时可以对作为发光二极管的显示元件90进行PWM控制,因此可以实现色度变化小的显示器。

[0033] 图1C是用来说明图1B所示的微控制器30的结构例子的图。微控制器30包括晶体管31、电容器32、三角波生成电路33、比较器34、恒流电路35及开关36。

[0034] 晶体管31的源极和漏极中的一个与布线SL连接。晶体管31的栅极与布线GL连接。晶体管31的源极和漏极中的另一个与比较器34的非反相输入端子连接。如图1C所示,将连接有晶体管31的源极和漏极中的另一个以及比较器34的非反相输入端子的节点称为节点 V_S 。节点 V_S 与电容器32连接。电容器32是用来提高节点 V_S 的电荷保持特性的,也可以省略。

[0035] 在晶体管31中,优选在关闭时流过源极和漏极之间的电流(关态电流)小。通过使用关态电流极小的晶体管,可以长时间保持节点 V_S 的电位,即,对应于写入到像素20的像素数据的电位。因此,可以将晶体管31用作采样保持电路。作为该晶体管31例如可以使用在沟道形成区域中使用金属氧化物的晶体管(以下,OS晶体管)。作为金属氧化物,包含In、Zn、M(M是Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd或Hf)。将在后面的实施方式中详细地说明OS晶体管。

[0036] 三角波生成电路33具有输出用来进行PWM控制的三角波的功能。三角波生成电路33与比较器34的反相输入端子连接。如图1C所示,将连接有三角波生成电路33以及比较器34的反相输入端子的节点称为节点 V_T 。

[0037] 比较器34被用作比较电路。非反相输入端子与晶体管31的源极和漏极中的一个(即,节点 V_S)连接,并被供应节点 V_S 的电位。反相输入端子与供应三角波生成电路33的三角波的布线(即,节点 V_T)连接,并被供应节点 V_T 的电位。输出端子输出改变节点 V_S 的电位与节点 V_T 的电位的大小关系的电位 V_{PWM} 。就是说,比较器34生成与对应于保持在微控制器30中的像素数据的电位以及三角波的信号对应的输出信号。

[0038] 恒流电路35是被用作恒流源的电路。恒流电路35与布线VL连接。恒流电路35与开关36串联连接。恒流电路35既可以被构成为从外部写入用来供应恒流的数据并在保持该数据的状态下供应恒流,又可以被构成为在内部生成电位且供应根据该电位的恒流。

[0039] 开关36被用作根据其开启或关闭控制是否使恒流电路35所供应的电流作为对显示元件90供应的电流 I_{led} 流过的开关。开关36的开启或关闭由比较器34的输出端子的信号控制。

[0040] 作为构成三角波生成电路33、比较器34、开关36及恒流电路35的晶体管,优选使用在沟道形成区域中使用硅的晶体管(Si晶体管)。作为Si晶体管可以举出在半导体层中包含单晶硅的晶体管。Si晶体管开启时流过源极和漏极之间的电流(通态电流)比OS晶体管大。Si晶体管适合用于需要PWM控制等高速工作的切换的开关36等的电路。注意,本发明的一个方式不局限于此。例如,构成三角波生成电路33、比较器34、开关36及恒流电路35的晶体管也可以是OS晶体管。

[0041] 在构成三角波生成电路33、比较器34、开关36及恒流电路35的晶体管是Si晶体管

时,可以采用层叠构成晶体管31的0S晶体管的结构。通过采用该结构,可以缩小构成微控制器30的电路的配置面积。

[0042] 注意,上述恒流电路35优选采用使用关态电流小的0S晶体管的结构,以便从外部写入用来供应恒流的数据且将其保持。通过采用该结构,可以层叠Si晶体管和0S晶体管而缩小电路的配置面积,并且可以减少晶体管个数,所以是优选的。

[0043] 图2是用来说明图1A至图1C中说明的本发明的一个方式的显示器的工作的波形图。在图2中,示出图1C中所示的布线SL、布线GL、节点 V_S 、节点 V_T 、比较器34的输出端子的电位 V_{PWM} 的各波形。

[0044] 如图2所示,布线SL被供应相当于供应到各行的像素的像素数据的电位。节点 V_S 保持相当于像素数据的电位。通过使布线GL处于L电平,可以一直保持节点 V_S 所保持的电位。节点 V_T 被供应基于一定的振幅电压及频率的三角波的电位。根据节点 V_S 与节点 V_T 的电位的大小关系决定基于电位 V_{PWM} 的变化的脉冲宽度(占空)。通过使布线GL处于H电平,更新节点 V_S 所保持的电位。当更新节点 V_S 所保持的电位时,电位 V_{PWM} 发生变化。当电位 V_{PWM} 发生变化且电流 I_{led} 以设置的间隔周期性地流动时,可以切换为所希望的灰度。

[0045] 通过采用本发明的一个方式的结构,在静态图像的显示等不需要像素数据的反复写入的期间中,即使停止源极驱动器14的工作也可以在像素20中进行对应于PWM控制的灰度显示。因此,可以实现功耗的降低,同时可以实现色度变化小的显示器。

[0046] 注意,本发明的一个方式不局限于图1A至图1C所说明的结构。作为其他的结构,可以采用图3A至图3C所示的结构。

[0047] 图3A所示的显示器10A包括栅极驱动器13、源极驱动器14、电源电路15、显示部11及三角波生成电路16。就是说,图3A相当于将图1A至图1C中说明的三角波生成电路33配置在显示部11的外侧而用作三角波生成电路16的结构。显示部11包括多个像素20A。

[0048] 图3B是用来说明图3A所示的像素20A的结构的图。像素20A包括微控制器30A及显示元件90。微控制器30A与布线SL、布线GL、布线VL及布线TL连接。布线TL是具有传送三角波生成电路33D所生成的三角波的功能的布线。

[0049] 图3C是用来说明图3B所示的微控制器30A的结构例子的图。微控制器30A包括晶体管31、电容器32、比较器34、恒流电路35及开关36。就是说,图3C相当于去掉图1C中说明的三角波生成电路33的结构。微控制器30A通过布线TL被供应三角波。

[0050] 注意,本发明的一个方式的结构不局限于图3A至图3C所说明的结构。作为其他的结构,可以采用图4A及图4B所示的结构。

[0051] 在图4A所示的用来说明显示器的像素20B的结构的图中,示出由一个微控制器30B控制分别供应到三个显示元件90_R、90_G、90_B的电流 I_{led_R} 、 I_{led_G} 、 I_{led_B} 的结构。微控制器30B与布线SL、布线GL_R、布线GL_G、布线GL_B及布线VL连接。布线GL_R、布线GL_G及布线GL_B是被供应用来对微控制器30B以不同时序写入供应到布线SL的像素数据的信号的布线。

[0052] 图4B是用来说明图4A所示的微控制器30B的结构例子的图。微控制器30B除了图1C中说明的各构成要素、三角波生成电路33以外,还包括晶体管31_R、31_G、31_B、多个电容器32、比较器34、恒流电路35及开关36。晶体管31_R、31_G、31_B被布线GL_R、布线GL_G、布线GL_B供应用来以不同时序写入像素数据的信号。并且,通过在微控制器30B中的各节点 V_{S_R} 、 V_{S_G} 、 V_{S_B} 中保持像素数据,可以对对应于各颜色的显示元件90进行不同的PWM控制(V_{PWM_R} 、

V_{PWM_G} 、 V_{PWM_B})。

[0053] 注意,本发明的一个方式不局限于图4A及图4B所说明的结构。作为其他的结构,可以采用图5A及图5B所示的结构。

[0054] 在图5A所示的用来说明显示器的像素20C的结构的图中,示出由一个微控制器30C控制分别供应到三个显示元件90_R、90_G、90_B的电流 I_{led_R} 、 I_{led_G} 、 I_{led_B} 的结构。微控制器30C与布线GL、布线SL_R、布线SL_G、布线SL_B、布线VL连接。布线SL_R、布线SL_G及布线SL_B是用来在使布线GL处于H电平时对微控制器30C写入不同像素数据的布线。

[0055] 图5B是用来说明图5A所示的微控制器30C的结构例子的图。微控制器30C除了图1C中说明的各构成要素、三角波生成电路33以外,还包括晶体管31_R、31_G、31_B、多个电容器32、比较器34、恒流电路35及开关36。晶体管31_R、31_G、31_B被布线GL供应用来以相同时序从布线SL_R、布线SL_G、布线SL_B写入像素数据的信号。并且,通过在微控制器30C中的各节点 V_{S_R} 、 V_{S_G} 、 V_{S_B} 中保持像素数据,可以对对应于各颜色的显示元件90进行不同的PWM控制(V_{PWM_R} 、 V_{PWM_G} 、 V_{PWM_B})。

[0056] 接着,使用图6A、图6B、图7A和图7B说明图1C等中说明的恒流电路35的结构例子。

[0057] 图6A示出使用OS晶体管的恒流电路35A的结构例子。图6A示出由OS晶体管构成的晶体管41、由Si晶体管构成的p沟道型晶体管42及电容器43。布线GLP被供应控制晶体管41的开启或关闭的信号。布线SLP被供应保持在节点MN中的信号。节点MN根据所保持的信号的电位生成流过晶体管42的 I_{led} 。电容器43保持供应到节点MN的电荷。通过将关态电流小的OS晶体管用作晶体管41,可以抑制节点MN的泄漏电流所导致的电位变动。

[0058] 图6B示出使用OS晶体管的恒流电路35B的结构例子。图6B示出由OS晶体管构成的晶体管44及晶体管45、由Si晶体管构成的p沟道型晶体管46及p沟道型晶体管47以及电容器48。布线GLP被供应控制晶体管44及晶体管45的开启或关闭的信号。布线SLP被供应保持在节点MN中的信号。节点MN根据所保持的信号的电位生成流过晶体管46的 I_{led} 。电容器48保持供应到节点MN的电荷。通过将关态电流小的OS晶体管用作晶体管44及晶体管45,可以抑制节点MN的泄漏电流所导致的电位变动。此外,在图6B的结构中,晶体管46及晶体管47构成电流镜。因此,可以利用电流编程方式写入数据,可以不容易受到各像素的晶体管特性不均匀的影响。

[0059] 图7A和图7B示出使用Si晶体管的恒流电路的结构例子。在图7A所示的恒流电路35C中,由使用Si晶体管构成的多个晶体管构成带隙基准电路51及运算放大器52等。利用带隙基准电路51在内部生成电位 V_c 来生成电流 I_{led} 。当图7A的结构采用从外部供应电位 V_c 的结构时,可以如图7B所示的恒流电路35D那样省略带隙基准电路51。

[0060] 接着,使用图8A和图8B说明在图1C等中说明的晶体管31的其他结构例子。

[0061] 图8A所示的微控制器30所包括的晶体管31_DG具有晶体管设置有背栅极的结构。该背栅极与前栅极电连接,并具有增高通态电流的效果。可以采用如图8B所示的微控制器30所包括的晶体管31_BG那样的对背栅极供应与前栅极不同的恒电位(VBG)的结构。通过采用该结构,可以控制晶体管的阈值电压。此外,晶体管包括背栅极的结构对本实施方式中的其他电路,例如恒流电路也是有效的。

[0062] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0063] (实施方式2)

在本实施方式中,详细地说明在实施方式1中说明的OS晶体管。

[0064] 作为用于OS晶体管的半导体材料,可以使用能隙为2eV以上,优选为2.5eV以上,更优选为3eV以上的金属氧化物。典型的有含有铟的氧化物半导体等,例如,可以使用后面提到的CAAC-OS或CAC-OS等。CAAC-OS中构成结晶的原子稳定,适用于重视可靠性的晶体管等。CAC-OS呈现高迁移率特性,适用于进行高速驱动的晶体管等。

[0065] OS晶体管具有大能隙而呈现极小的关态电流特性。与Si晶体管不同,OS晶体管不会发生碰撞电离、雪崩击穿、短沟道效应等,因此能够形成可靠性高的电路。

[0066] 作为OS晶体管中的半导体层,例如可以采用包含铟、锌及M(铝、钛、镓、锗、钇、锆、镧、铈、锡、钕或钪等金属)的以“In-M-Zn类氧化物”表示的膜。

[0067] 当构成半导体层的氧化物半导体为In-M-Zn类氧化物时,优选用来形成In-M-Zn氧化物膜的溅射靶材的金属元素的原子个数比满足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。这种溅射靶材的金属元素的原子个数比优选为 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:8$ 等。注意,所形成的半导体层的原子个数比分别有可能在上述溅射靶材中的金属元素的原子个数比的 $\pm 40\%$ 的范围内变动。

[0068] 作为半导体层,可以使用载流子密度低的氧化物半导体。例如,作为半导体层可以使用载流子密度为 $1 \times 10^{17}/\text{cm}^3$ 以下,优选为 $1 \times 10^{15}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{13}/\text{cm}^3$ 以下,进一步优选为 $1 \times 10^{11}/\text{cm}^3$ 以下,更进一步优选低于 $1 \times 10^{10}/\text{cm}^3$, $1 \times 10^{-9}/\text{cm}^3$ 以上的氧化物半导体。将这样的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。该氧化物半导体的缺陷态密度低,因此可以说是具有稳定的特性的氧化物半导体。

[0069] 注意,本发明不局限于上述记载,可以根据所需的晶体管的半导体特性及电特性(场效应迁移率、阈值电压等)来使用具有适当的组成的材料。另外,优选适当地设定半导体层的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子个数比、原子间距离、密度等,以得到所需的晶体管的半导体特性。

[0070] 当构成半导体层的氧化物半导体包含第14族元素之一的硅或碳时,氧空位增加,会使该半导体层变为n型。因此,将半导体层中的硅或碳的浓度(通过二次离子质谱分析法测得的浓度)设定为 $2 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下。

[0071] 另外,有时当碱金属及碱土金属与氧化物半导体键合时生成载流子,而使晶体管的关态电流增大。因此,将半导体层的碱金属或碱土金属的浓度(通过二次离子质谱分析法测得的浓度)设定为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms}/\text{cm}^3$ 以下。

[0072] 另外,当构成半导体层的氧化物半导体含有氮时生成作为载流子的电子,载流子密度增加而容易n型化。其结果是,使用含有氮的氧化物半导体的晶体管容易变为常开启特性。因此,半导体层的氮浓度(利用二次离子质谱分析法测得的浓度)优选为 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下。

[0073] 另外,半导体层例如也可以具有非单晶结构。非单晶结构例如包括具有c轴取向的结晶的CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)、多晶结构、微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0074] 非晶结构的氧化物半导体膜例如具有无秩序的原子排列不具有结晶成分。或

者,非晶结构的氧化物膜例如是完全的非晶结构且不具有结晶部。

[0075] 此外,半导体层也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的混合膜。混合膜有时例如具有包括上述区域中的两种以上的区域的单层结构或叠层结构。

[0076] 以下对非单晶半导体层的一个方式的CAC (Cloud-Aligned Composite)-OS的构成进行说明。

[0077] CAC-OS例如是指包含在氧化物半导体中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸。注意,在下面也将在氧化物半导体中一个或多个金属元素不均匀地分布且包含该金属元素的区域以0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸混合的状态称为马赛克(mosaic)状或补丁(patch)状。

[0078] 氧化物半导体优选至少包含铟。尤其是,优选包含铟及锌。除此之外,也可以还包含选自铝、镓、铋、铜、钒、铍、硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、钆和镁等中的一种或多种。

[0079] 例如,In-Ga-Zn氧化物中的CAC-OS(在CAC-OS中,尤其可以将In-Ga-Zn氧化物称为CAC-IGZO)是指材料分成铟氧化物(以下,称为 InO_{X1} ($X1$ 为大于0的实数))或铟锌氧化物(以下,称为 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ($X2$ 、 $Y2$ 及 $Z2$ 为大于0的实数))以及镓氧化物(以下,称为 GaO_{X3} ($X3$ 为大于0的实数))或镓锌氧化物(以下,称为 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ($X4$ 、 $Y4$ 及 $Z4$ 为大于0的实数))等而成为马赛克状,且马赛克状的 InO_{X1} 或 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 均匀地分布在膜中的构成(以下,也称为云状)。

[0080] 换言之,CAC-OS是具有以 GaO_{X3} 为主要成分的区域和以 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 为主要成分的区域混在一起的构成的复合氧化物半导体。在本说明书中,例如,当第一区域的In与元素M的原子个数比大于第二区域的In与元素M的原子个数比时,第一区域的In浓度高于第二区域。

[0081] 注意,IGZO是通称,有时是指包含In、Ga、Zn及O的化合物。作为典型例子,可以举出以 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ 为自然数)或 $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$, $m0$ 为任意数)表示的结晶性化合物。

[0082] 上述结晶性化合物具有单晶结构、多晶结构或CAAC结构。CAAC结构是多个IGZO的纳米晶具有c轴取向性且在a-b面上以不取向的方式连接的结晶结构。

[0083] 另一方面,CAC-OS与氧化物半导体的材料构成有关。CAC-OS是指如下构成:在包含In、Ga、Zn及O的材料构成中,一部分中观察到以Ga为主要成分的纳米粒子状区域以及一部分中观察到以In为主要成分的纳米粒子状区域分别以马赛克状无规律地分散。因此,在CAC-OS中,结晶结构是次要因素。

[0084] CAC-OS不包含组成不同的两种以上的膜的叠层结构。例如,不包含由以In为主要成分的膜与以Ga为主要成分的膜的两层构成的结构。

[0085] 注意,有时观察不到以 GaO_{X3} 为主要成分的区域与以 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 为主要成分的区域之间的明确的边界。

[0086] 在CAC-OS中包含选自铝、铋、铜、钒、铍、硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、钆和镁等中的一种或多种以代替镓的情况下,CAC-OS是指如下构成:一部分中观察到以该金属元素为主要成分的纳米粒子状区域以及一部分中观察到以In为主要成分的纳米粒

子状区域以马赛克状无规律地分散。

[0087] CAC-OS例如可以通过在对衬底不进行加热的条件下利用溅射法来形成。在利用溅射法形成CAC-OS的情况下,作为成膜气体,可以使用选自惰性气体(典型的是氩)、氧气体和氮气体中的一种或多种。另外,成膜时的成膜气体的总流量中的氧气体的流量比越低越好,例如,将氧气体的流量比设定为0%以上且低于30%,优选为0%以上且10%以下。

[0088] CAC-OS具有如下特征:通过根据X射线衍射(XRD:X-ray diffraction)测定法之一的Out-of-plane法利用 $\theta/2\theta$ 扫描进行测定时,观察不到明确的峰值。也就是说,根据X射线衍射测量,可知在测定区域中没有a-b面方向及c轴方向上的取向。

[0089] 另外,在通过照射束径为1nm的电子束(也称为纳米束)而取得的CAC-OS的电子衍射图案中,观察到环状的亮度高的区域以及在该环状区域内的多个亮点。由此,根据电子衍射图案,可知CAC-OS的结晶结构具有在平面方向及截面方向上没有取向的nc(nano-crystal)结构。

[0090] 另外,例如在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析图像(EDX-mapping),可确认到:具有以 GaO_{x3} 为主要成分的区域及以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域不均匀地分布而混合的构成。

[0091] CAC-OS的结构与金属元素均匀地分布的IGZO化合物不同,具有与IGZO化合物不同的性质。换言之,CAC-OS具有以 GaO_{x3} 等为主要成分的区域及以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域互相分离且以各元素为主要成分的区域为马赛克状的构成。

[0092] 在此,以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域导电性高于以 GaO_{x3} 等为主要成分的区域。换言之,当载流子流过以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域时,呈现氧化物半导体的导电性。因此,当以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域在氧化物半导体中以云状分布时,可以实现高场效应迁移率(μ)。

[0093] 另一方面,以 GaO_{x3} 等为主要成分的区域绝缘性高于以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域。换言之,当以 GaO_{x3} 等为主要成分的区域在氧化物半导体中分布时,可以抑制泄漏电流而实现良好的开关工作。

[0094] 因此,当将CAC-OS用于半导体元件时,通过起因于 GaO_{x3} 等的绝缘性及起因于 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 的导电性的互补作用可以实现大通态电流(I_{on})及高场效应迁移率(μ)。

[0095] 另外,使用CAC-OS的半导体元件具有高可靠性。因此,CAC-OS适用于各种半导体装置的构成材料。

[0096] 本实施方式可以与其他实施方式等中记载的结构适当地组合而实施。

[0097] (实施方式3)

在本实施方式中,使用附图对可用于具有Si晶体管和OS晶体管的叠层结构的微控制器30的半导体装置900的截面结构例子。注意,在本实施方式中说明的截面结构例子也可以用于上述实施方式中说明的恒流电路。

[0098] <半导体装置900的结构例子>

图9示出半导体装置900的一部分的截面。图9所示的半导体装置900在衬底231上层叠层300、层301。在图9中,示出作为衬底231使用单晶半导体衬底(例如,单晶硅衬底)的情况。层300中的晶体管的源极、漏极及沟道形成于衬底231的一部分中。另外,层301包含薄膜晶

体管(例如,0S晶体管)。

[0099] [层300]

在图9中,层300在衬底231上具有晶体管233a、晶体管233b及晶体管233c。在图9中,示出晶体管233a、晶体管233b及晶体管233c的沟道长度方向的截面。

[0100] 如上所述,晶体管233a、晶体管233b及晶体管233c的沟道形成于衬底231的一部分中。当集成电路被要求高速工作时,优选作为衬底231使用单晶半导体衬底。

[0101] 晶体管233a、晶体管233b及晶体管233c由于元件分离层232而彼此电分离。元件分离层的形成可以使用LOCOS(Local Oxidation of Silicon:硅局部氧化)法、STI(Shallow Trench Isolation:浅沟槽隔离)法等。

[0102] 另外,晶体管233a、晶体管233b及晶体管233c上设置有绝缘层234、绝缘层235、绝缘层237,绝缘层237中埋设有电极238。电极238通过接触插头236与晶体管233a的源极或漏极电连接。

[0103] 另外,电极238及绝缘层237上设置有绝缘层239、绝缘层240及绝缘层241,绝缘层239、绝缘层240及绝缘层241中埋设有电极242。电极242与电极238电连接。

[0104] 另外,电极242及绝缘层241上设置有绝缘层243及绝缘层244,绝缘层243及绝缘层244中埋设有电极245。电极245与电极242电连接。

[0105] 另外,电极245及绝缘层244上设置有绝缘层246及绝缘层247,绝缘层246及绝缘层247中埋设有电极249。电极249与电极245电连接。

[0106] 另外,电极249及绝缘层247上设置有绝缘层248及绝缘层250,绝缘层248及绝缘层250中埋设有电极251。电极251与电极249电连接。

[0107] [层301]

层301设置在层300上。在图9中,层301包括晶体管368a、晶体管368b、电容器369a及电容器369b。图9示出晶体管368a及晶体管368b的沟道长度方向的截面。晶体管368a及晶体管368b是具有背栅极的晶体管。

[0108] 晶体管368a及晶体管368b的半导体层使用为金属氧化物的一种的氧化物半导体。也就是说,晶体管368a及晶体管368b使用0S晶体管。

[0109] 晶体管368a及晶体管368b设置在绝缘层361及绝缘层362上。另外,绝缘层362上设置有绝缘层363及绝缘层364。晶体管368a及晶体管368b的背栅极埋设于绝缘层363及绝缘层364中。绝缘层364上设置有绝缘层365及绝缘层366。另外,电极367埋设于绝缘层361至绝缘层366中。电极367与电极251电连接。

[0110] 另外,晶体管368a、晶体管368b、电容器369a及电容器369b上形成有绝缘层371、绝缘层372及绝缘层373,绝缘层373上形成有电极375。电极375通过接触插头374与电极367电连接。

[0111] 另外,电极375上设置有绝缘层376、绝缘层377、绝缘层378及绝缘层379。另外,电极380埋设于绝缘层376至绝缘层379中。电极380与电极375电连接。

[0112] 另外,电极380及绝缘层379上设置有绝缘层381及绝缘层382,绝缘层382上设置有电极383。

[0113] <构成材料>

[衬底]

虽然对可用于衬底的材料没有较大的限制,但是衬底必需至少具有足够高的耐热性来耐受后面进行的热处理。例如,作为衬底,可以使用以硅或碳化硅等为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底等。此外,也可以使用SOI衬底或者在半导体衬底上设置有应变晶体管或FIN型晶体管等半导体元件的衬底等。另外,也可以使用可用于高电子迁移率晶体管(HEMT:High Electron Mobility Transistor)的砷化镓、砷化铝镓、砷化铟镓、氮化镓、磷化铟、硅锗等。也就是说,衬底不仅是支撑衬底,也可以是形成有晶体管等其他元件的衬底。

[0114] 此外,作为衬底,可以使用硼硅酸钡玻璃和硼硅酸铝玻璃等玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,作为衬底可以使用柔性衬底。在使用柔性衬底时,既可以在柔性衬底上直接制造晶体管和电容器等,又可以在其他制造衬底上制造晶体管和电容器等,然后将其剥离并转置到柔性衬底上。另外,为了从制造衬底剥离晶体管和电容器等并将其转置到柔性衬底上,优选在制造衬底与晶体管和电容器等之间设置剥离层。

[0115] 作为柔性衬底,例如可以使用金属、合金、树脂或玻璃,或者它们的纤维等。用作衬底的柔性衬底的线性膨胀系数越低,因环境而发生的变形越得到抑制,所以是优选的。用作衬底的柔性衬底例如可以使用线性膨胀系数为 $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下或 $1 \times 10^{-5}/K$ 以下的材料。作为树脂例如有聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。尤其是,芳族聚酰胺具有低线性膨胀系数,因此适用于柔性衬底。

[0116] [绝缘层]

绝缘层采用如下材料的单层或叠层,该材料选自氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐、铝硅酸盐等。另外,也可以使用混合有氧化物材料、氮化物材料、氧氮化物材料、氮氧化物材料中的多种的材料。

[0117] 在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测量各元素的含量。

[0118] 另外,当将为金属氧化物的一种的氧化物半导体用作半导体层时,为了防止半导体层中的氢浓度增加,优选降低绝缘层中的氢浓度。具体而言,绝缘层中的利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的氢浓度为 2×10^{20} atoms/cm³以下,优选为 5×10^{19} atoms/cm³以下,更优选为 1×10^{19} atoms/cm³以下,进一步优选为 5×10^{18} atoms/cm³以下。尤其是,优选降低与半导体层接触的绝缘层中的氢浓度。

[0119] 另外,为了防止半导体层中的氮浓度增加,优选降低绝缘层中的氮浓度。具体而言,绝缘层中的利用SIMS测量的氮浓度为 5×10^{19} atoms/cm³以下,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0120] 绝缘层中的至少与半导体层接触的区域缺陷优选少,典型的是通过电子自旋共振法(ESR:Electron Spin Resonance)观察的信号优选少。例如,作为上述信号可举出在g值为2.001时观察到的E'中心。该E'中心起因于硅的悬空键。例如,作为绝缘层使用氧化硅层或氧氮化硅层时,可以使用起因于E'中心的自旋密度为 3×10^{17} spins/cm³以下、优选为 5×10^{16} spins/cm³以下的氧化硅层或氧氮化硅层。

[0121] 有时观察到除了上述信号以外起因于二氧化氮(NO₂)的信号。该信号因N的核自旋

含磷等杂质元素的多晶硅为代表的导电率高的半导体、镍硅化物等硅化物。

[0132] 另外,也可以使用包含上述金属元素和氧的导电材料。另外,也可以使用包含上述金属元素和氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。另外,也可以使用铟锡氧化物(ITO:Indium Tin Oxide)、包含氧化钨的铟氧化物、包含氧化钨的铟锡氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、铟镓锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。

[0133] 另外,也可以将多个由上述材料形成的导电层层叠来使用。例如,可以制成组合包含上述金属元素的材料与包含氧的导电材料的叠层结构。此外,可以制成组合包含上述金属元素的材料与包含氮的导电材料的叠层结构。此外,可以制成组合包含上述金属元素的材料、包含氧的导电材料与包含氮的导电材料的叠层结构。另外,也可以采用组合包含氮的导电材料和包含氧的导电材料的叠层结构。

[0134] 另外,在作为半导体层使用氧化物半导体,并且作为栅电极使用组合包含上述金属元素的材料与包含氧的导电材料的叠层结构的情况下,优选在半导体层一侧设置包含氧的导电材料。通过在半导体层一侧设置包含氧的导电材料,从该导电材料释放出的氧容易供应给半导体层中。

[0135] 另外,作为电极,例如可以使用钨或多晶硅等埋入性高的导电材料。此外,也可以使用埋入性高的导电材料与钛层、氮化钛层、氮化钽层等阻挡层(扩散防止层)的组合。有时将电极称为“接触插头”。

[0136] 尤其是,作为与栅极绝缘层接触的电极优选使用不容易使杂质透过的导电材料。作为不容易使杂质透过的导电材料,例如可以举出氮化钽。

[0137] 通过作为绝缘层使用不容易使杂质透过的绝缘材料,并且作为与栅极绝缘层接触的电极使用不容易使杂质透过的导电材料,来可以进一步抑制杂质扩散到晶体管中。由此,可以进一步提高晶体管的可靠性。也就是说,可以进一步提高半导体装置的可靠性。

[0138] [半导体层]

作为半导体层,可以使用单晶半导体、多晶半导体、微晶半导体、或非晶半导体等中的一个或多个。作为半导体材料,例如可以使用硅或锗等。另外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体或有机半导体等。

[0139] 另外,当作为半导体层使用有机半导体时,可以使用具有芳环的低分子有机材料或 π 电子共轭导电高分子等。例如,可以使用红荧烯、并四苯、并五苯、茈二酰亚胺、四氰基对醌二甲烷、聚噻吩、聚乙炔、聚对亚苯基亚乙烯基等。

[0140] 半导体层也可以采用叠层结构。当半导体层采用叠层结构时,可以使用具有不同结晶状态的半导体,也可以使用不同半导体材料。

[0141] 另外,由于氧化物半导体的带隙为 2eV 以上,当作为半导体层使用氧化物半导体时,可以实现关态电流极小的晶体管。具体而言,在源极与漏极间的电压为 3.5V 且室温(典型为 25°C)下的每 $1\mu\text{m}$ 沟道宽度的关态电流可以小于 $1 \times 10^{-20}\text{A}$,小于 $1 \times 10^{-22}\text{A}$,或小于 $1 \times 10^{-24}\text{A}$ 。就是说,导通截止比可以为20位数以上。另外,在作为半导体层使用氧化物半导体的晶体管中,源极与漏极间的绝缘耐压高。由此,可以提供可靠性良好的晶体管。另外,可以提供输出电压大且耐压高的晶体管。另外,可以提供可靠性良好的半导体装置等。另外,可以提供输出电压大且耐压高的半导体装置等。

[0142] 此外,在本说明书等中,将在形成沟道的半导体层中使用具有结晶性的硅的晶体管称为“晶体Si晶体管”。

[0143] 与OS晶体管相比,晶体Si晶体管可以容易得到较高的迁移率。另一方面,晶体Si晶体管难以实现如OS晶体管那样的极小关态电流。因此,重要的是,根据目的或用途适当地选择用于半导体层的半导体材料。例如,根据目的或用途,可以使用OS晶体管和晶体Si晶体管等的组合。

[0144] 当作为半导体层使用氧化物半导体层时,优选通过溅射法形成氧化物半导体层。通过溅射法形成氧化物半导体层时,可提高氧化物半导体层的密度,所以是优选的。在通过溅射法形成氧化物半导体层的情况下,作为溅射气体,可以使用稀有气体(典型为氩)、氧或者,稀有气体和氧的混合气体。此外,需要溅射气体的高纯度化。例如,作为用作溅射气体的氧气体或稀有气体,使用露点为 -60°C 以下,优选为 -100°C 以下的高纯度气体。通过使用高纯度溅射气体形成薄膜,可以尽可能地防止水分等混入氧化物半导体层中。

[0145] 在通过溅射法形成氧化物半导体层的情况下,优选尽可能地去掉溅射装置所具有的成膜处理室内的水分。例如,优选使用低温泵等吸附式真空泵对成膜处理室进行高真空抽气(抽空到 $5 \times 10^{-7}\text{Pa}$ 至 $1 \times 10^{-4}\text{Pa}$ 左右)。尤其是,在溅射装置的待机时成膜处理室的相当于 H_2O 的气体分子(相当于 $m/z=18$ 的气体分子)的分压优选为 $1 \times 10^{-4}\text{Pa}$ 以下,更优选为 $5 \times 10^{-5}\text{Pa}$ 以下。

[0146] [金属氧化物]

氧化物半导体优选至少包含镧或铈。特别优选包含镧及铈。另外,优选的是,除此之外,还包含铝、镓、铟或锡等。另外,也可以包含选自硼、硅、钛、铁、镍、锆、锗、钼、镉、铪、铯、钕、钐、钨和镁等中的一种或多种。

[0147] 在此考虑氧化物半导体包含镧、元素M及铈的情况。注意,元素M为铝、镓、铟或锡等。作为其他的可用作元素M的元素,除了上述元素以外,还有硼、硅、钛、铁、镍、锆、锗、钼、镉、铪、铯、钕、钐、钨、镁等。注意,作为元素M有时可以组合多个上述元素。

[0148] 另外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0149] [金属氧化物的构成]

以下,对可用于在本发明的一个方式中公开的晶体管的CAC(Cloud-Aligned Composite)-OS的构成进行说明。

[0150] 在本说明书等中,有时记载为CAAC(c-axis aligned crystal)或CAC(Cloud-Aligned Composite)。注意,CAAC是指结晶结构的一个例子,CAC是指功能或材料构成的一个例子。

[0151] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(控制开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0152] 此外,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。另外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时观察到其边缘模糊而以云状连接的导电性区域。

[0153] 此外,在CAC-OS或CAC-metal oxide中,导电性区域和绝缘性区域有时以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0154] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该构成中,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分通过与具有宽隙的成分的互补作用,与具有窄隙的成分联动而使载流子流过具有宽隙的成分。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流及高场效应迁移率。

[0155] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0156] [金属氧化物的结构]

氧化物半导体(金属氧化物)被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0157] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0158] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也观察不到明确的晶界(grain boundary)。即,可知由于晶格排列畸变,可抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0159] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中中层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0160] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的进入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,包含CAAC-OS的金属氧化物具有高耐热性及高可靠性。

[0161] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向

的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0162] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0163] 氧化物半导体(金属氧化物)具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0164] [具有金属氧化物的晶体管]

接着,说明将上述金属氧化物用于晶体管的沟道形成区域的情况。

[0165] 通过将上述金属氧化物用于晶体管的沟道形成区域,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0166] 另外,优选将载流子密度低的金属氧化物用于晶体管。在要降低金属氧化物膜的载流子密度的情况下,可以降低金属氧化物膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,金属氧化物中的载流子密度可以低于 $8 \times 10^{11}/\text{cm}^3$,优选低于 $1 \times 10^{11}/\text{cm}^3$,更优选低于 $1 \times 10^{10}/\text{cm}^3$,且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0167] 此外,高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,因此有时具有较低的陷阱态密度。

[0168] 此外,被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的金属氧化物中具有沟道形成区域的晶体管的电特性有时不稳定。

[0169] 因此,为了使晶体管的电特性稳定,减少金属氧化物中的杂质浓度是有效的。为了减少金属氧化物中的杂质浓度,优选还减少附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0170] [杂质]

在此,说明金属氧化物中的各杂质的影响。

[0171] 在金属氧化物包含第14族元素之一的硅或碳时,在金属氧化物中形成缺陷能级。因此,将金属氧化物中或金属氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS)测得的浓度)设定为 $2 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下。

[0172] 另外,当金属氧化物包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,作为沟道形成区域使用包含碱金属或碱土金属的金属氧化物的晶体管容易具有常开启特性。由此,优选减少金属氧化物中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的金属氧化物中的碱金属或碱土金属的浓度为 $1 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16}\text{atoms}/\text{cm}^3$ 以下。

[0173] 当金属氧化物包含氮时,容易产生作为载流子的电子,使载流子密度增高,而n型化。其结果是,在将包含氮的金属氧化物用于沟道形成区域的晶体管容易具有常开启特性。因此,在该金属氧化物中,优选尽可能地减少沟道形成区域中的氮。例如,利用SIMS测得的金属氧化物中的氮浓度低于 $5 \times 10^{19}\text{atoms}/\text{cm}^3$,优选为 $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times$

10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0174] 包含在金属氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,作为沟道形成区域使用包含氢的金属氧化物的晶体管容易具有常开启特性。由此,优选尽可能减少金属氧化物中的氢。具体而言,在金属氧化物中,将利用SIMS测得的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。

[0175] 通过将杂质浓度被充分降低的金属氧化物用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0176] <成膜方法>

用来形成绝缘层的绝缘材料、用来形成电极的导电材料或用来形成半导体层的半导体材料可以利用溅射法、旋涂法、化学气相沉积(CVD:Chemical Vapor Deposition)法(包括热CVD法、有机金属CVD(MOCVD: Metal Organic Chemical Vapor Deposition)法、等离子体增强CVD(PECVD: Plasma Enhanced CVD)法、高密度等离子体CVD(HDPCVD: High density plasma CVD)法、减压CVD(LPCVD: low pressure CVD)法、常压CVD(APCVD: atmospheric pressure CVD)等)法、原子层沉积(ALD: Atomic Layer Deposition)法或分子束外延(MBE: Molecular Beam Epitaxy)法、脉冲激光沉积(PLD: Pulsed Laser Deposition)法、浸涂法、喷涂法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)形成。

[0177] 等离子体CVD法可以以较低的温度得到高品质的膜。在利用不使用等离子体的诸如MOCVD法、ALD法或热CVD法等成膜方法的情况下,在被形成面不容易产生损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,在采用不使用等离子体的成膜方法的情况下,因为不发生这种等离子体损伤,所以能够提高半导体装置的成品率。此外,不生成膜时的等离子体损伤,所以能够得到缺陷较少的膜。

[0178] 不同于从靶材等被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的成膜方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响,而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于覆盖纵横比高的开口部的表面的情况等。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0179] CVD法及ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法及ALD法时,可以通过调整源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法及ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为可以省略传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以使其成膜时所需的时间缩短。因此,有时可以提高半导体装置的生产率。

[0180] 注意,在利用ALD法进行成膜的情况下,作为材料气体优选使用不包含氯的气体。

[0181] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0182] (实施方式4)

在本实施方式中,使用附图说明本发明的一个方式中的微控制器及显示元件的安装方法的一个例子。

[0183] 本实施方式的显示器作为显示元件使用Micro LED。在本实施方式中,说明具有双异质结的Micro LED。注意,本发明的一个方式不局限于此,也可以使用具有量子阱结的Micro LED。

[0184] 通过作为显示器的显示元件使用Micro LED,亮度可以比使用液晶元件或有机电致发光元件的显示器高。通过作为显示器的显示元件使用Micro LED,不需要具有如液晶显示装置那样的一直点亮背光的结构,因此可以降低功耗。此外,作为显示元件使用Micro LED的显示器具有高对比度及宽视角,因此可以提高显示品质。

[0185] Micro LED的发射光的区域的面积优选为 1mm^2 以下,更优选为 $10000\mu\text{m}^2$ 以下,进一步优选为 $1000\mu\text{m}^2$ 以下,还优选为 $100\mu\text{m}^2$ 以下。

[0186] Micro LED具有在电极之间包覆层夹持活性层的结构。电极优选使用使可见光透过的导电材料以便发射光。在活性层中,电子和空穴键合而发光。就是说,可以说活性层是发光层。夹持活性层的一对包覆层中的一个是n型包覆层,夹持活性层的一对包覆层中的另一个是p型包覆层。以呈现红色、黄色、绿色或蓝色等的光的方式形成包括包覆层及活性层的叠层结构。将镓-磷化合物、镓-砷化合物、镓-铝-砷化合物、铝-镓-铟-磷化合物、镓氮化物、铟-氮化镓化合物、硒-锌化合物等用于该叠层结构。例如,可以使用镓氮化物、铟-氮化镓化合物。

[0187] Micro LED例如形成在蓝宝石晶片等承载基板上。Micro LED从该承载基板转置到显示器的基板上。

[0188] 例如,如图10A所示,Micro LED根据颜色(例如,红色、绿色、蓝色)形成在不同的承载基板1001R、1001G、1001B上。并且,将各Micro LED(LED芯片1002R、1002G、1002B)转置到基板1003上。基板1003是预先设置有微控制器的晶体管基板。通过采用该结构,可以实现上述实施方式中说明的显示器。

[0189] 将微控制器及显示元件安装到显示器的方法不局限于图10A。例如,如图10B所示,Micro LED根据颜色(例如,红色、绿色、蓝色)形成在不同的承载基板1001R、1001G、1001B上,并作为将各Micro LED(LED芯片1002R、1002G、1002B)一体化的LED芯片1004转置到基板1003上。基板1003是预先设置有微控制器的晶体管基板。通过采用该结构,可以减少将LED芯片转置到设置有微控制器的晶体管基板的次数,可以实现上述实施方式中说明的显示器。

[0190] 注意,将微控制器及显示元件安装到显示器的方法不局限于图10A和图10B。例如,如图10C所示,作为Micro LED,利用按颜色(例如,红色、绿色、蓝色)而不同的承载基板1001R、1001G、1001B以及形成有微控制器的承载基板1005形成各Micro LED(LED芯片1002R、1002G、1002B)以及具有微控制器的电路结构的半导体芯片1006。并且,作为将LED芯片1002R、1002G、1002B和半导体芯片1006一体化的LED芯片1007转置到基板1008上。基板1008是预先设置有电极及布线的基板。通过采用该结构,可以使用预先电连接有微控制器和Micro LED的芯片来实现上述实施方式中说明的显示器。

[0191] 本实施方式可以与其他实施方式的记载适当地组合。

[0192] (实施方式5)

在本实施方式中,对能够用于上述实施方式中示出的显示器的半导体装置进行说明。以下示出的半导体装置可以被用作存储装置。

[0193] 在本实施方式中,作为使用氧化物半导体的存储装置的一个例子,对DOSRAM(注册商标)进行说明。“DOSRAM”来源于Dynamic Oxide Semiconductor Random Access Memory。DOSRAM是指如下存储装置:存储单元为1T1C(一个晶体管和一个电容器)型单元;写入用晶体管为使用氧化物半导体的晶体管。

[0194] 参照图11对DOSRAM1000的叠层结构例子进行说明。在DOSRAM1300中,进行数据的读出的读出放大器部1302与储存数据的单元阵列部1303层叠。

[0195] 如图11所示,读出放大器部1302设置有位线BL、Si晶体管Ta10、Ta11。Si晶体管Ta10、Ta11在单晶硅片中包括半导体层。Si晶体管Ta10、Ta11构成读出放大器并与位线BL电连接。

[0196] 单元阵列部1303包括多个存储单元1301。存储单元1301包括晶体管Tw1及电容器C1。在单元阵列部1303中,两个晶体管Tw1共用半导体层。半导体层与位线BL通过未图示的导电体电连接。

[0197] 图11所示的叠层结构可以用于通过层叠多个包括晶体管群的电路形成的各种半导体装置。

[0198] 图11中的金属氧化物、绝缘体、导电体等可以为单层或叠层。在制造这些层时,可以使用溅射法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光烧蚀(PLA:Pulsed Laser Ablation)法、CVD法、原子层沉积法(ALD法)等各种成膜方法。CVD法包括等离子体CVD法、热CVD法、有机金属CVD法等。

[0199] 在此,晶体管Tw1的半导体层由金属氧化物(氧化物半导体)构成。在此,示出半导体层由3层的金属氧化物层构成的例子。半导体层优选由含有In、Ga及Zn的金属氧化物构成。

[0200] 在此,通过对金属氧化物添加形成氧空位的元素或者与氧空位键合的元素,金属氧化物的载流子密度可能增大而被低电阻化。例如,通过选择性地使使用金属氧化物的半导体层低电阻化,可以在半导体层中设置源区域或漏区域。

[0201] 另外,作为使金属氧化物低电阻化的元素,典型的有硼或磷。另外,也可以使用氢、碳、氮、氟、硫、氯、钛、稀有气体等。作为稀有气体的典型例子有氦、氖、氩、氪及氙等。该元素的浓度可以利用二次离子质谱分析法(SIMS)等进行测量。

[0202] 尤其是,在是硼及磷的情况下,可以使用非晶硅或低温多晶硅的生产线的装置,所以是优选的。可以使用已有的设备,由此可以降低设备投资。

[0203] 例如,包括被选择性地低电阻化的半导体层的晶体管可以使用伪栅极形成。具体而言,在半导体层上设置伪栅极,将该伪栅极用作掩模,对半导体层添加使该半导体层低电阻化的元素。也就是说,该元素被添加到半导体层的不与伪栅极重叠的区域中,由此形成被低电阻化的区域。作为该元素的添加方法,可以使用:对离子化了的源气体进行质量分离而将其添加的离子注入法;不对离子化了的源气体进行质量分离而将其添加的离子掺杂法;以及等离子体浸没离子注入法等。

[0204] 作为用于导电体的导电材料,有如下材料:以掺杂有磷等杂质元素的多晶硅为代表的半导体;镍硅化物等硅化物;钼、钛、钽、钨、铝、铜、铬、钨、钷等金属;或以上述金属为成

分的金属氮化物(氮化钽、氮化钛、氮化钼、氮化钨)等。另外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0205] 作为可以用于绝缘体的绝缘材料,有氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽、硅酸铝等。在本说明书等中,氧氮化物是指氧含量大于氮含量的化合物,氮氧化物是指氮含量大于氧含量的化合物。

[0206] (实施方式6)

在本实施方式中,参照附图对包括本发明的一个方式的显示器的电子设备进行说明。

[0207] 可以将上述实施方式中说明的显示器安装到下面所示的电子设备。由此,可以提供能够实现低功耗化、色度变化小且能够显示亮度高的影像的电子设备。

[0208] 作为电子设备,例如,除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、可穿戴显示器、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0209] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。

[0210] 图12A示出电视装置的一个例子。在电视装置1100中,外壳1101中组装有显示器1102。在此示出利用支架1103支撑外壳1101的结构。

[0211] 可以将本发明的一个方式的显示器用于显示器1102。由此,可以提供能够实现低功耗化、色度变化小且能够显示亮度高的影像的电视装置。

[0212] 图12B示出便携式电子设备1110。在便携式电子设备1110中,框体1111组装有显示器1112。此外,图12B示出框体1111的摄像装置1113。

[0213] 可以将本发明的一个方式的显示器用于显示器1112。由此,可以提供能够实现低功耗化色度变化小且能够显示亮度高的影像的便携式电子设备1110。此外,可以增高显示器1112的亮度,因此可以将显示器1112用作在利用摄像装置1113时的光源。由此,可以提供一种方便性高的便携式电子设备1110。

[0214] 图12C示出投影式显示设备1120及投射的影像。在投影式显示设备1120中,框体1121组装有显示器及投影镜头。此外,在图12C中,示出用来放映投影式显示设备1120投射的影像1122的银幕1123。

[0215] 可以将本发明的一个方式的显示器用于框体1121中的显示器。由此,可以提供能够实现低功耗化、色度变化小且能够将亮度高的影像投射到银幕上的投影式显示设备1120。

[0216] 此外,本发明的一个方式的显示器具有高亮度,在屋外的可见度也良好。因此,可以将本发明的一个方式的显示器例如用作汽车的车头灯。

[0217] 图13A示出汽车1200。汽车1200组装有可用作光源的显示器1201作为车头灯。

[0218] 可以将本发明的一个方式的显示器用于显示器1201。由此,可以提供实现低功耗

化、色度变化小且能够射出亮度高的光的汽车1200。此外,显示器1201不但可以射出亮度高的光而且作为显示器可以显示可见度高的影像,因此可被用作通讯手段。此外,通过如图13B所示地包括多个显示器1201_1、1201_2,不但可以在多个方向上漫射光而且可以利用不同颜色来分开显示转向灯的功能或刹车灯的功能等。

[0219] 本实施方式可以与其他实施方式的记载适当地组合。

[符号说明]

[0220] 10:显示器、11:显示部、13:栅极驱动器、14:源极驱动器、15:电源电路、20:像素、30:微控制器、90:显示元件、SL:布线、GL:布线、VL:布线、31:晶体管、32:电容器、33:三角波生成电路、34:比较器、35:恒流电路、36:开关

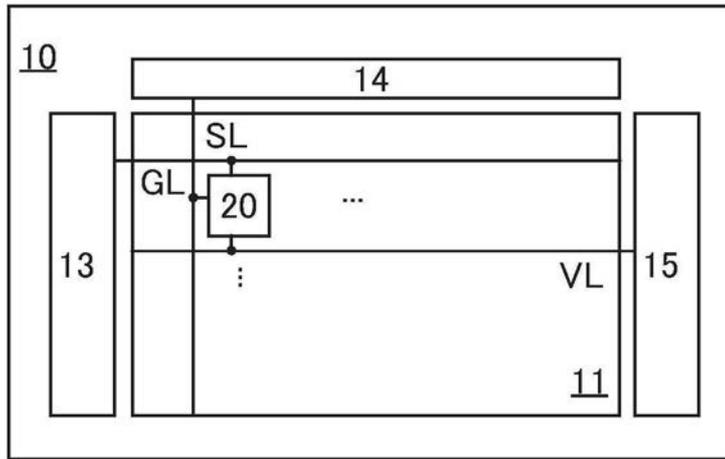


图1A

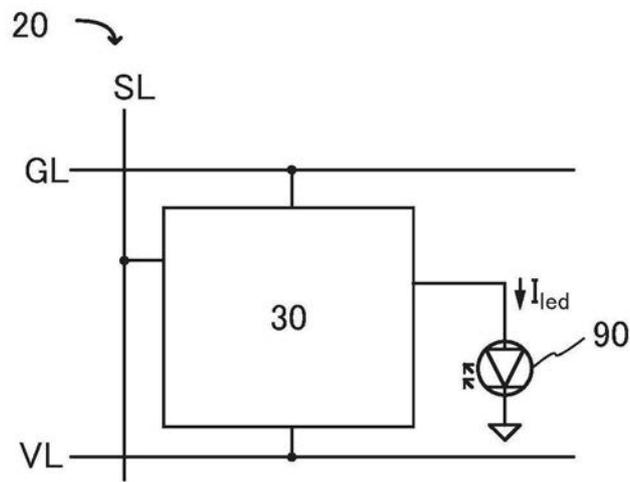


图1B

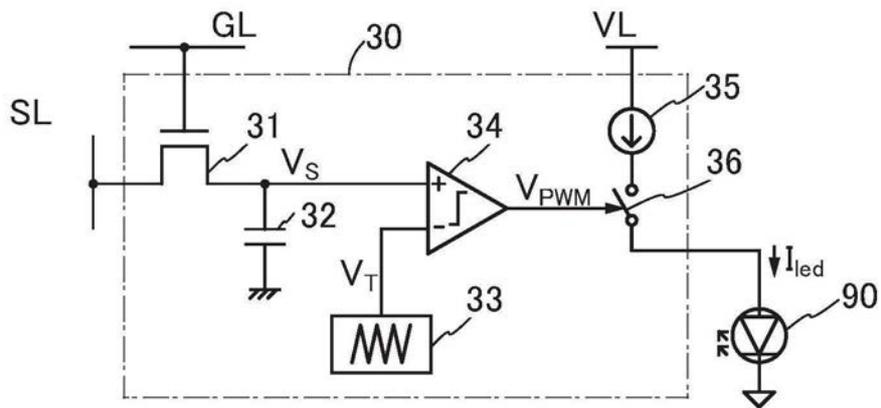


图1C

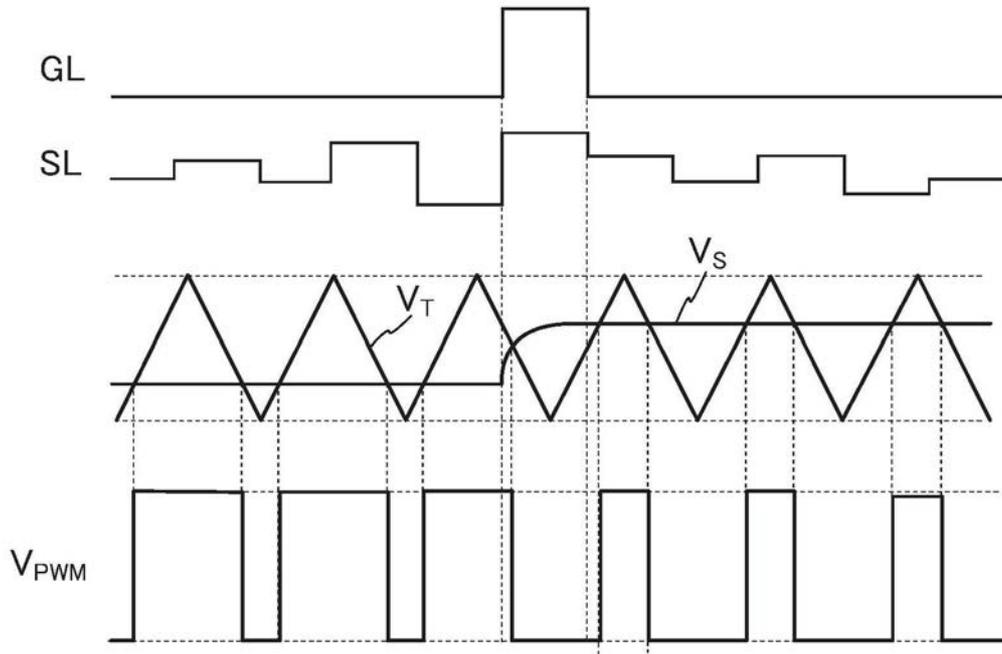


图2

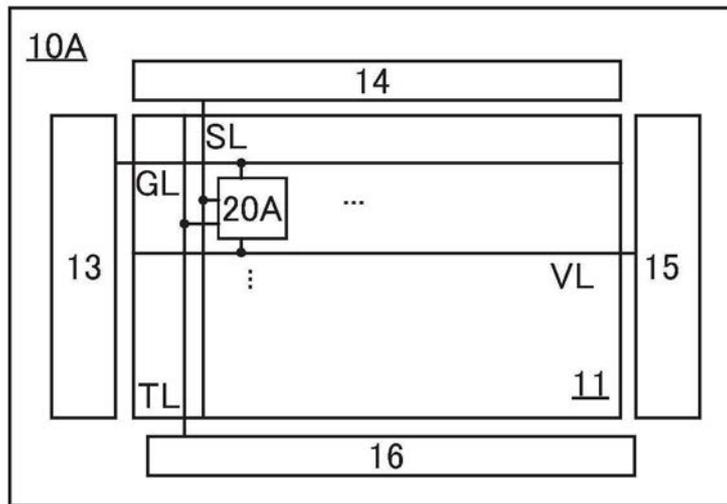


图3A

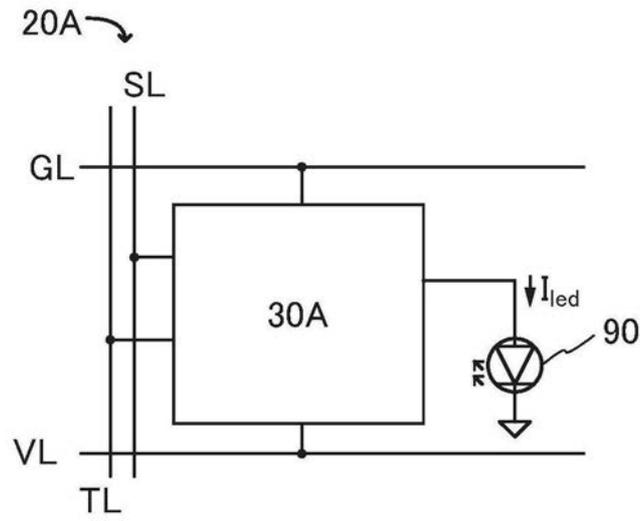


图3B

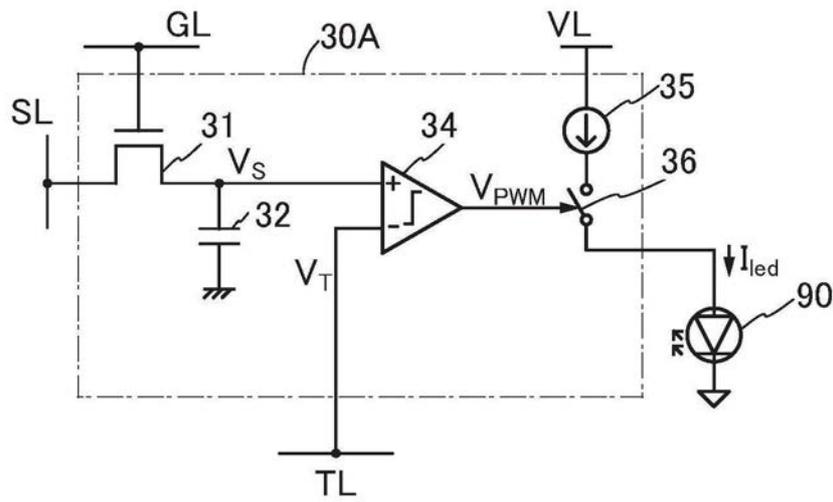


图3C

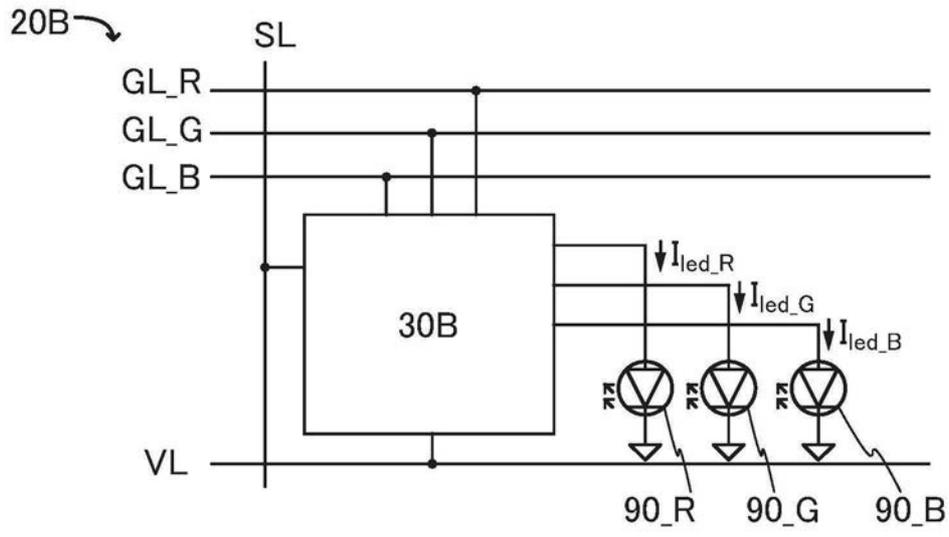


图4A

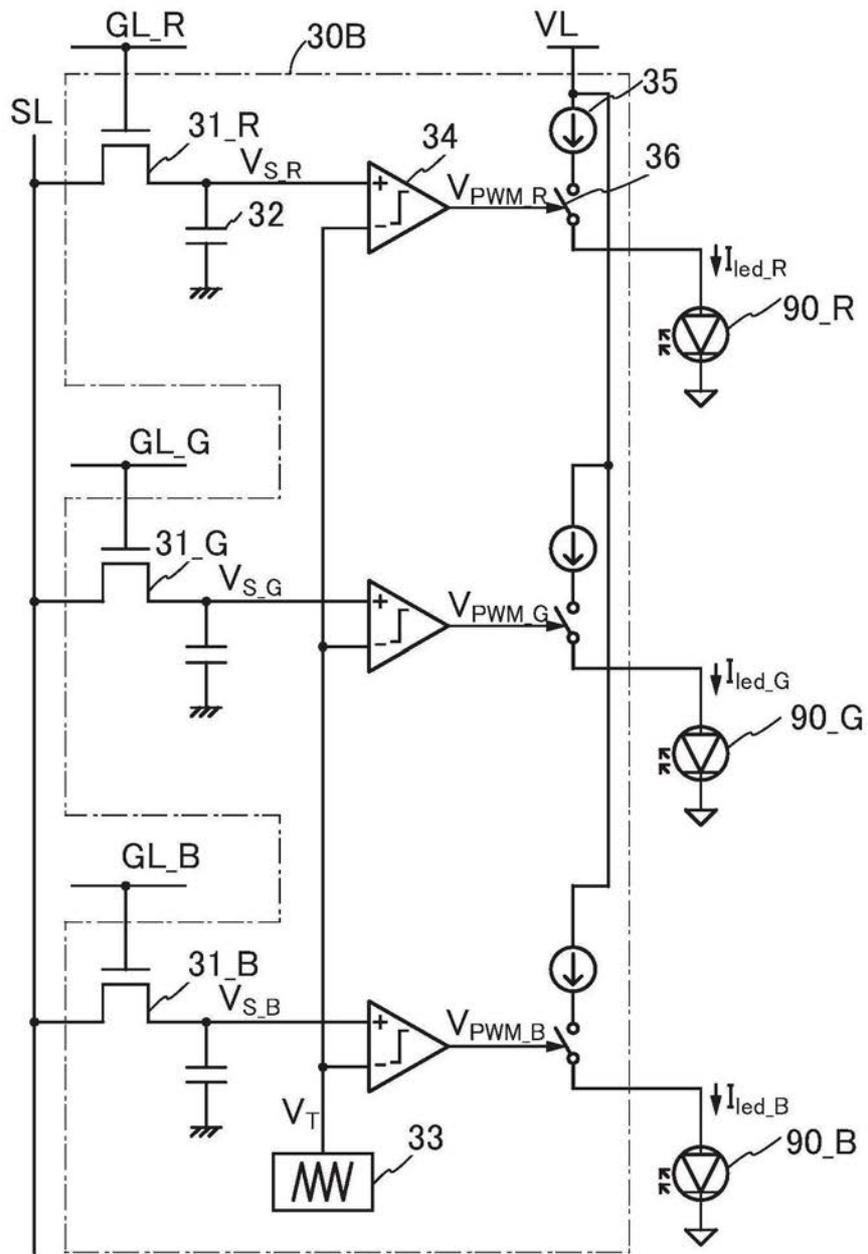


图4B

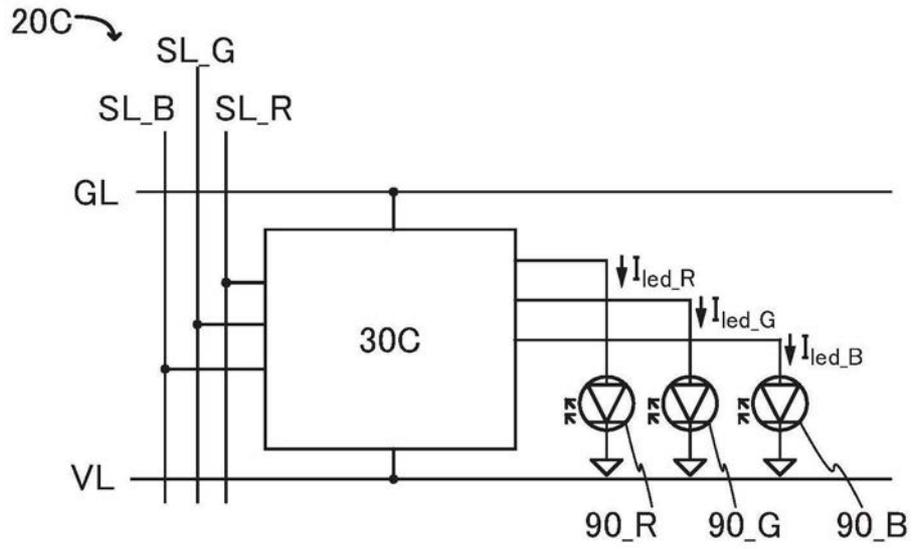


图5A

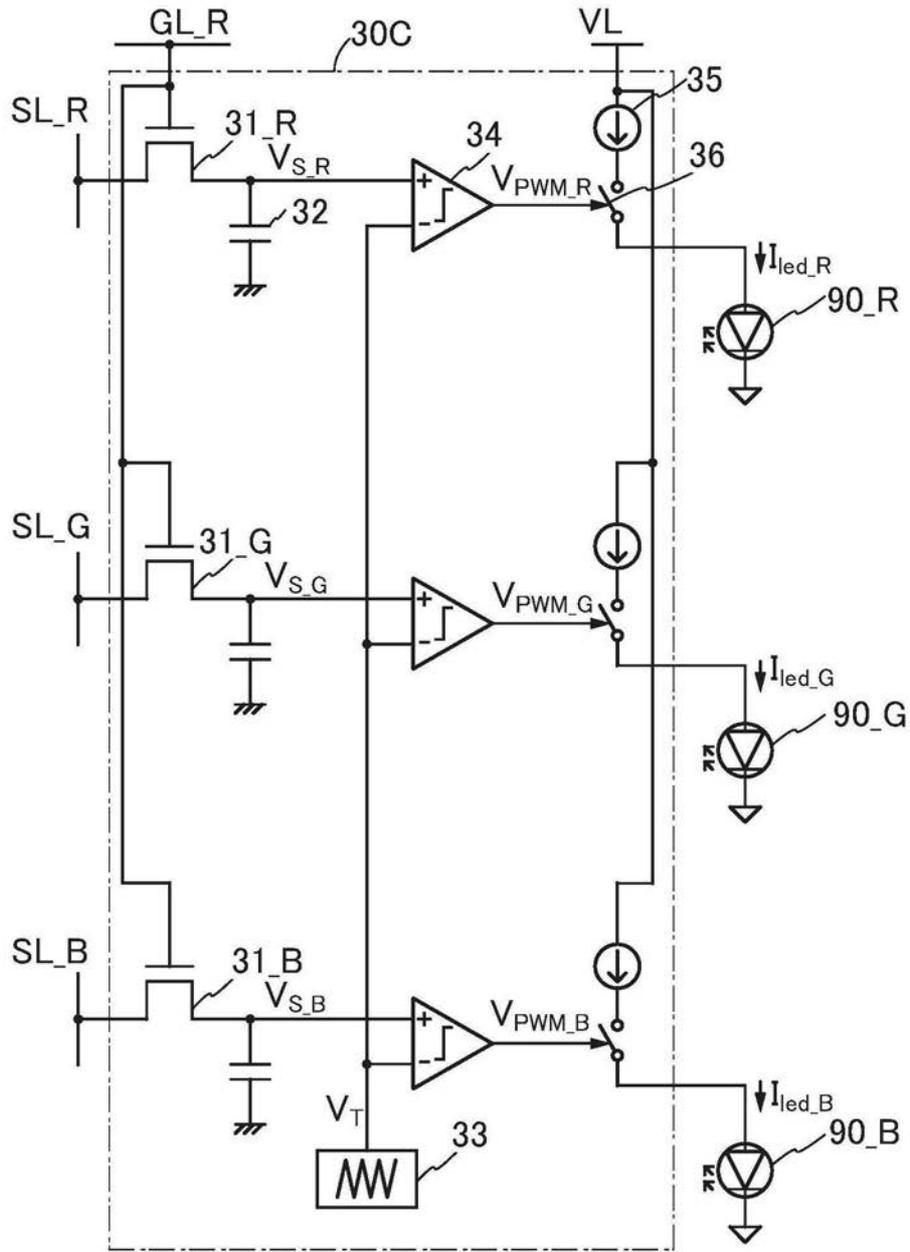


图5B

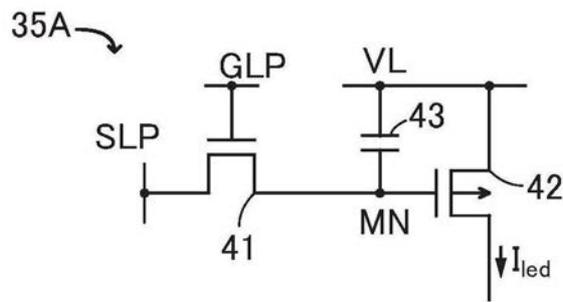


图6A

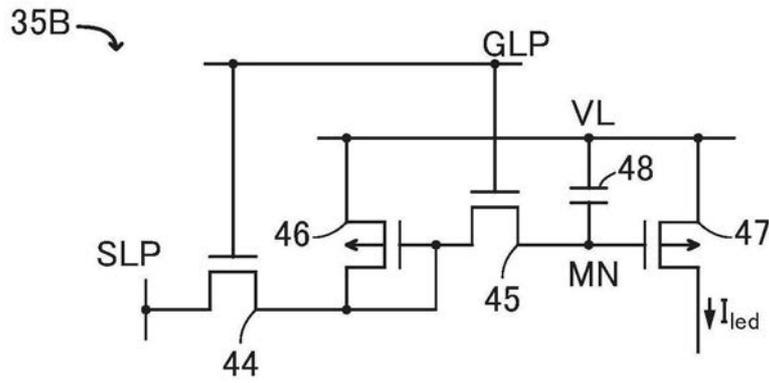


图6B

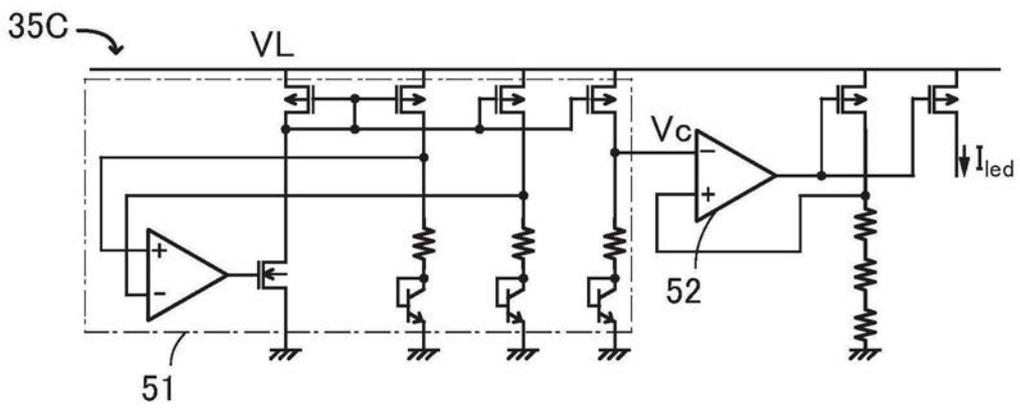


图7A

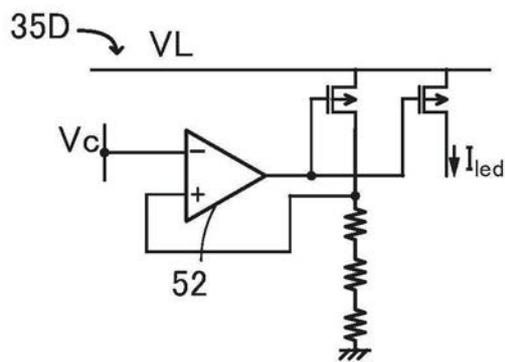


图7B

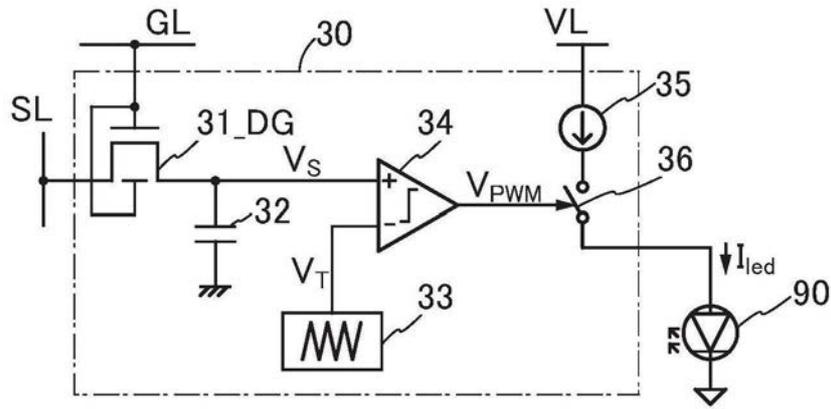


图8A

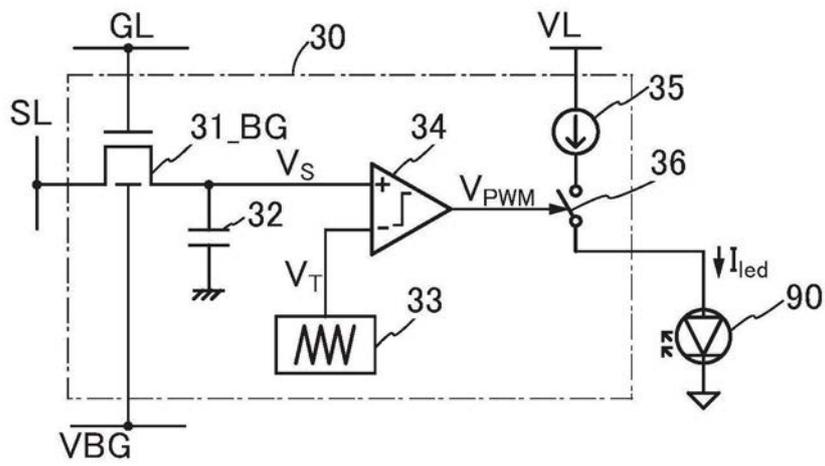


图8B

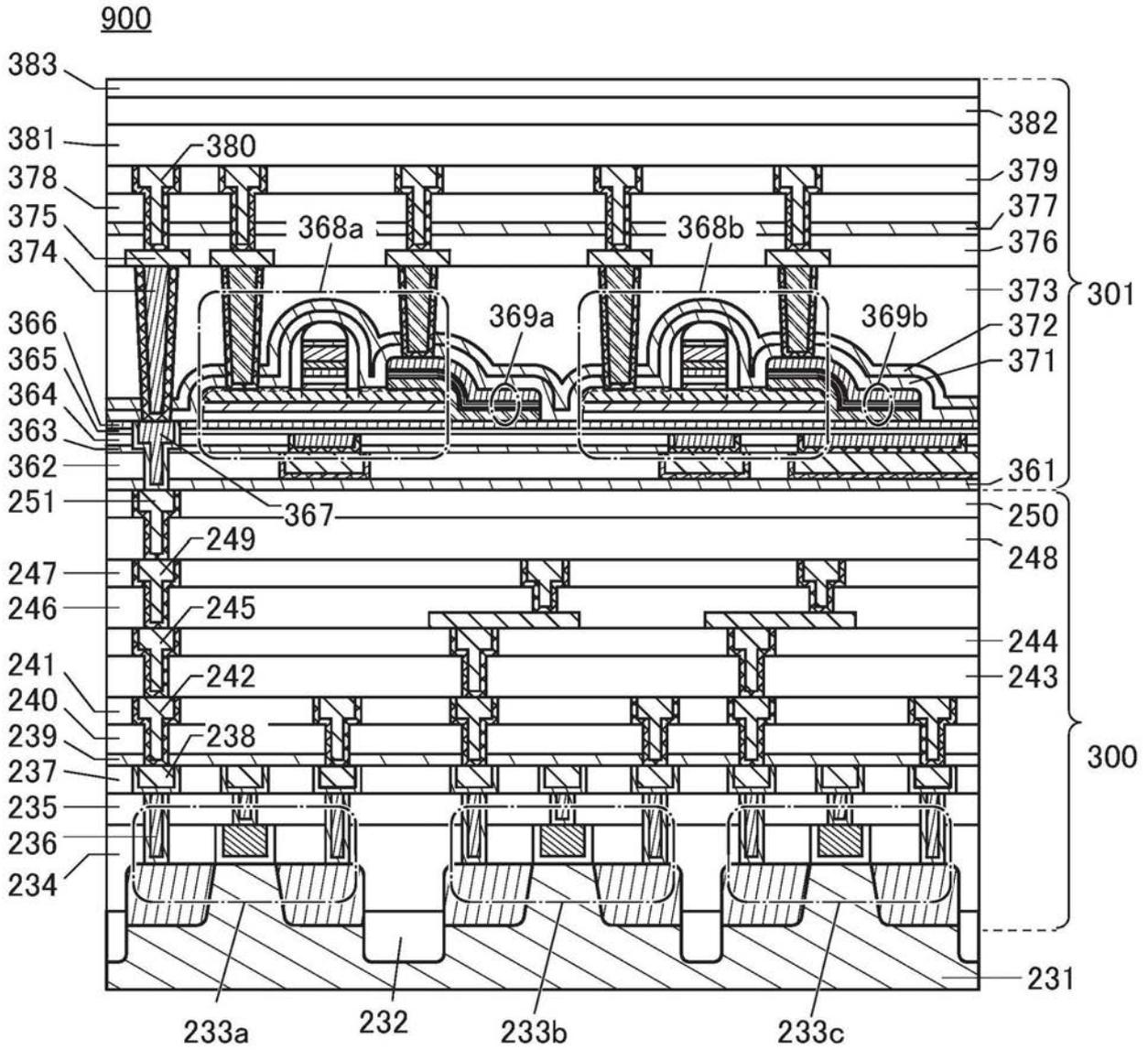


图9

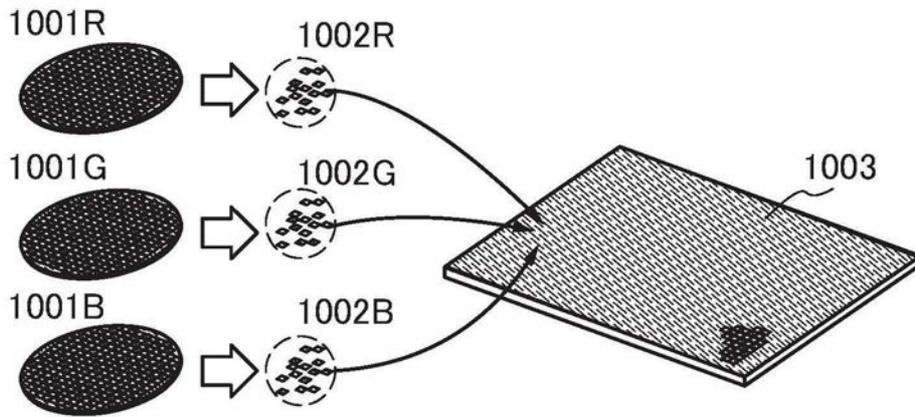


图10A

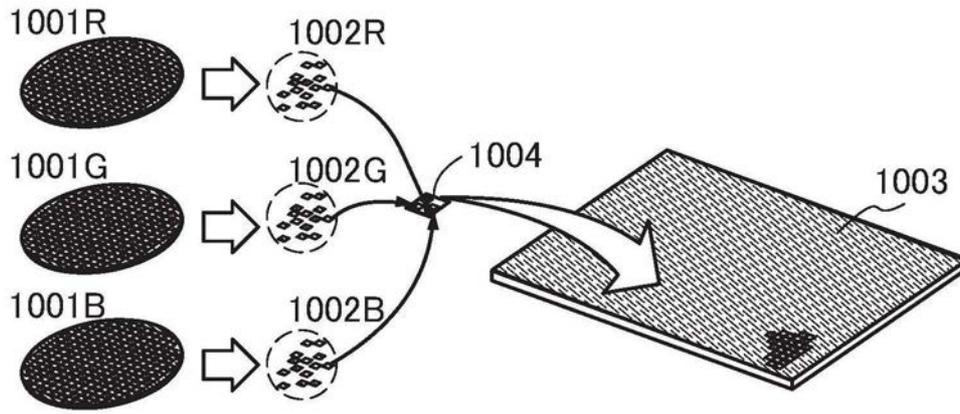


图10B

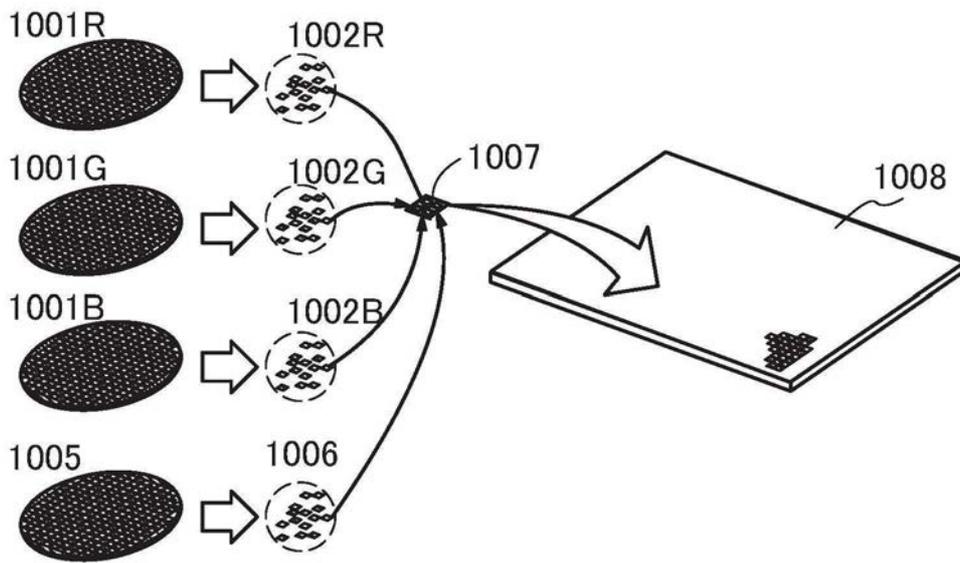
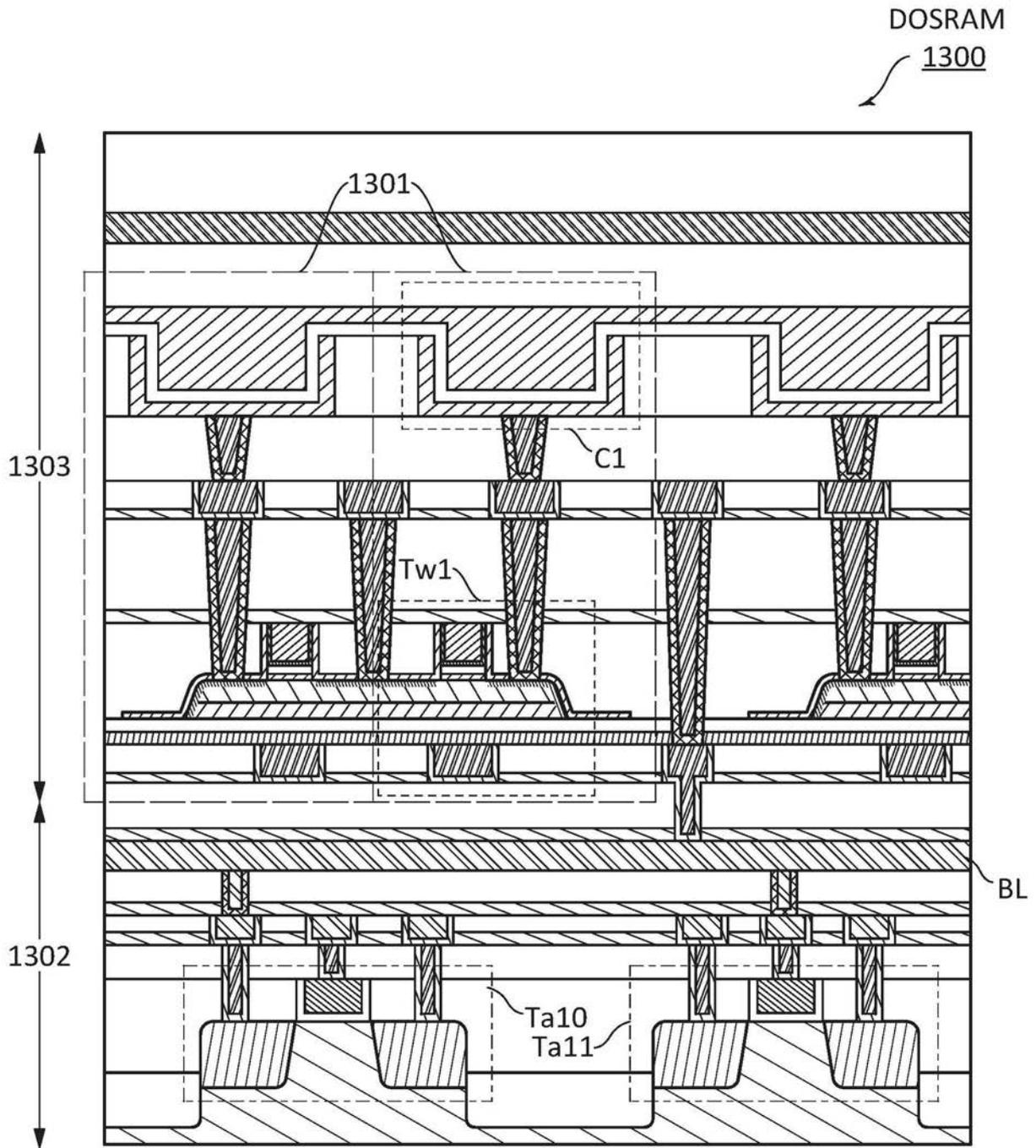


图10C



- 金属氧化物
- 绝缘体
- 导体

图11

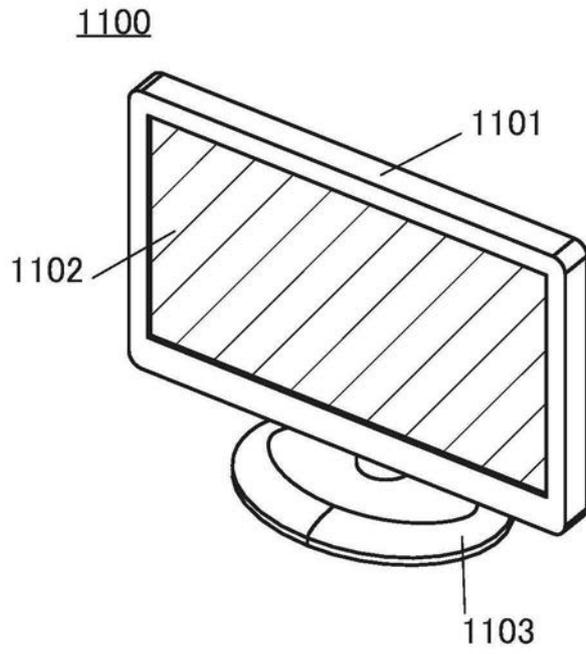


图12A

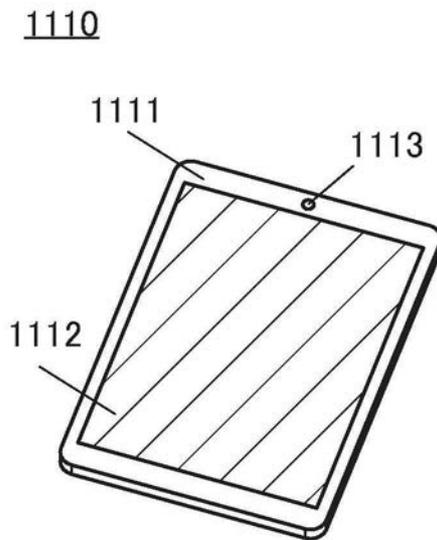


图12B

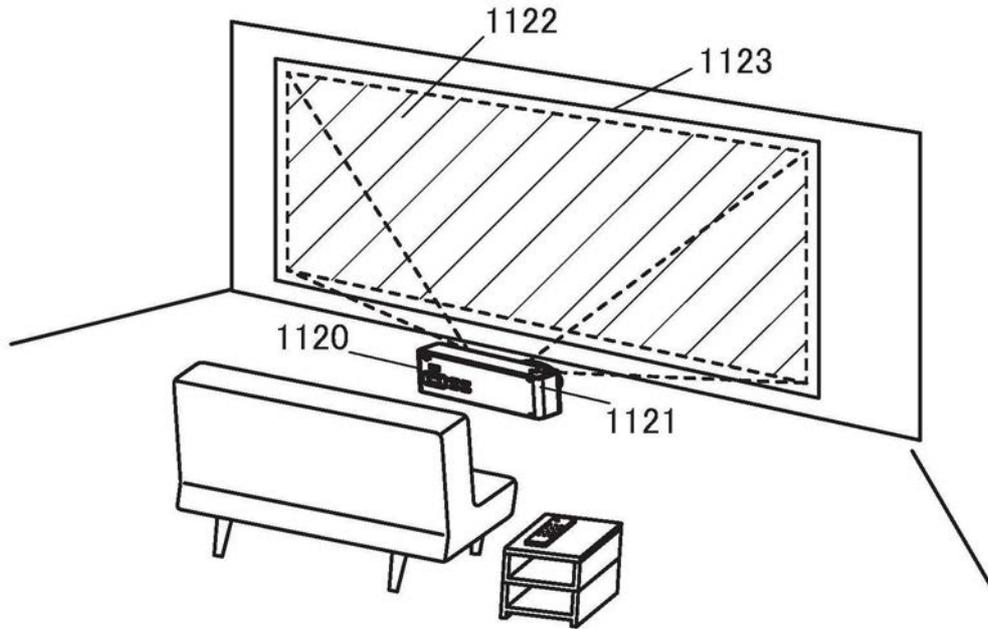


图12C

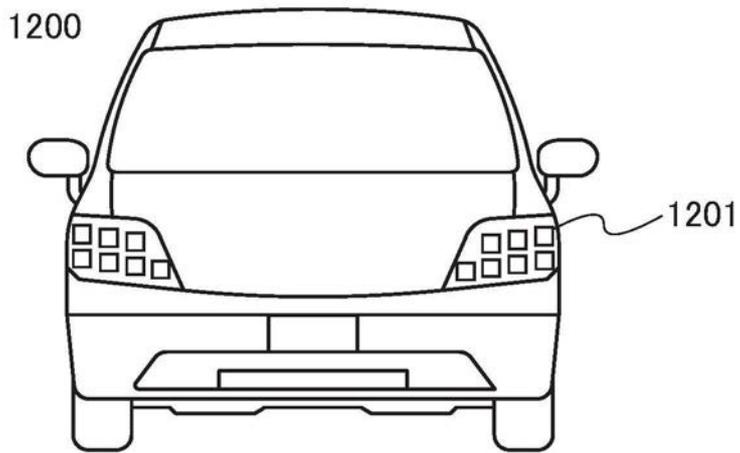


图13A

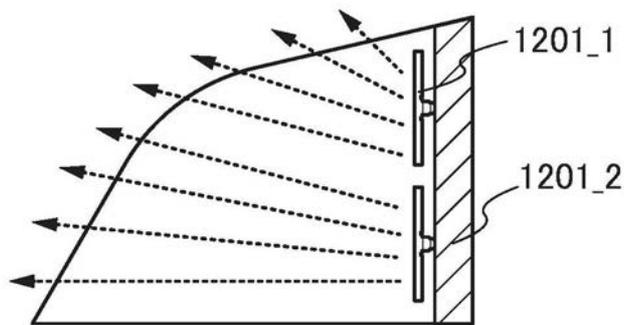


图13B

专利名称(译)	显示器及包括该显示器的电子设备		
公开(公告)号	CN111417997A	公开(公告)日	2020-07-14
申请号	CN201880077499.2	申请日	2018-12-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社半导体能源研究所		
当前申请(专利权)人(译)	株式会社半导体能源研究所		
[标]发明人	高桥圭 楠纮慈 渡边一德 川岛进 丰高耕平 山崎舜平		
发明人	高桥圭 楠纮慈 渡边一德 川岛进 丰高耕平 山崎舜平		
IPC分类号	G09G3/32 G09G3/20 G09G3/30 H01L33/00 H01L33/32		
CPC分类号	G09G3/20 G09G3/30 G09G3/32 H01L33/00 H01L33/32		
优先权	2017247227 2017-12-25 JP 2018029746 2018-02-22 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种显示器。本发明提供一种微型发光二极管的相对于电流密度的色度变化小的显示器。本发明提供一种在静态图像的显示中可以降低驱动电路的功耗的显示器。本发明的一个方式是一种显示器，该显示器包括多个像素，多个像素各自包括显示元件及微控制器，微控制器包括第一晶体管、三角波生成电路、比较器、开关以及恒流电路，第一晶体管在关闭状态时具有保持对应于写入到像素的数据的电位的功能，三角波生成电路具有生成三角波的信号的功能，比较器具有生成对应于电位、三角波的信号的输出信号的功能，开关具有根据输出信号控制是否使流过恒流电路的电流流过显示元件的功能。

